

超音波による脈波計測器のための計測回路開発

1. 目的

血管の弾性特性を評価するには血管の脈動（心臓の拍動にともなって血管が膨張、収縮する状態）測定が必要となる。脈動の変化は1秒間にほぼ1回の周期であるが、血管径の変化スピードはこの周期内で3～6 mm/s 程度の動きとなるため、血管画像の測定頻度を100回/秒以上に向上させる必要がある。

本研究開発では、FPGAを使ったパラレル信号処理回路を設計製作し、処理速度の向上を図ることを目的とする。

2. 方法

基板を製作するにあたり高性能化・小型化・低コスト化・拡張性の4つについて検討し、仕様を決定した。

・高性能化

ゲート規模の大きいFPGAを搭載することで、高速化を実現する。また、ADCを24個に増設して超音波エコーの取り込みチャンネル数を増やすことで高速・高品位化を可能とする。

・小型化

市場からの小型化の要求はさらに増すものと考えられ、単純に基板サイズを小さくするだけでなく、複数の基板に分散している周辺機能も集約することにより配線ハーネスも減らすことができ、小型化を促進できる。

・低コスト化

基板枚数の削減、筐体の小型化、配線ハーネスの削減、部品点数の削減のほか、基板の層数の削減なども行い低コスト化を進める

・拡張性

拡張端子を設け、複数の基板をスタック接続できるようにし、将来の機能拡張に備える。

具体的には、ADCを15個から24個に増やすことに伴いバッファメモリも多く必要になる。そこで、メモリ容量を倍に増やし、従来機で使用していたFPGA 5個分に将来拡張の余裕も持たせて、新しい高速大容量のFPGA 2個に置き換えることとした。FPGAの動作クロックも200MHzとし、ADCのサンプリングスピードも2倍の100MHzとし高速化した。また、配線遅延によるタイミングのばらつきを防ぐために基板レイアウトは最短等長配線とした。

これらを実現するためにRTLシミュレーションのほか、タイミングシミュレーション、ラインシミュレーションなどを繰り返し、配線長、パターン幅、

インピーダンスマッチングなどの最適化を行った。

3. 結果

この結果、新しく開発した基板は、基板面積比で1/2に、処理速度で2倍強にすることができ、配線ハーネスの削減などにより装置の小型化や低コスト化も合わせて実現できた。

今後、処理能力の余裕分を活用して、超音波プローブのチャンネル増設やドップラー血流速度測定機能の拡張などに取り組んでいくとともに、超音波送受信に係わるアナログ部についても小型化、低コスト化を進めていく予定である。

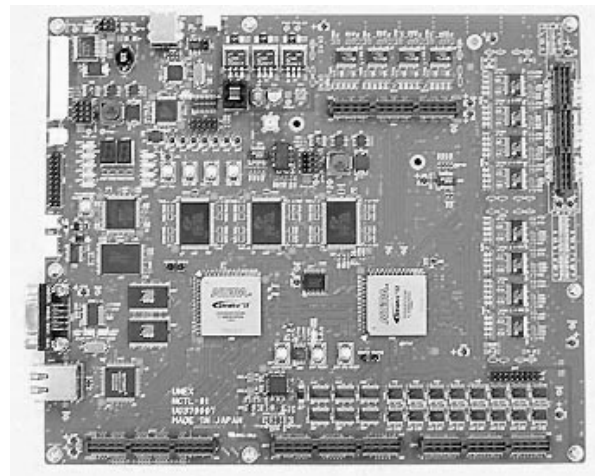


図1 完成した新しい処理基板

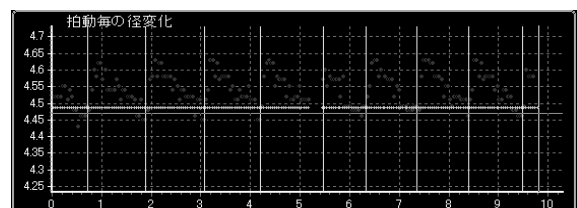


図2 計測された脈波トレンド
(血管径の時間変化)